

(11)公告編號:346645

(44)中華民國87年(1998)12月01日

發明

256852
全11頁

(51)Int. Cl. B: H01L21/22

(54)名 稱:雜質之導入方法及其裝置、以及半導體裝置之製造方法

(21)申 請 案 號:85112909

(22)申請日期:中華民國85年(1996)10月22日

(72)發 明 人:

水野文二

日本

中岡弘明

日本

高瀬道彦

日本

中山一郎

日本

(71)申 請 人:

松下電器產業股份有限公司

日本

(74)代 理 人:林志剛 先生

1

2

[57]申請專利範圍:

1.一種雜質之導入方法,其特徵為,具有:

在真空槽內,保持包含雜質的雜質固體與將導入前述雜質之固體試樣的工程,和在前述真空槽的內部導入惰性或反應性之氣體使之發生根據該惰性或反應性氣體而成的電漿之工程,和根據在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓,根據前述電漿中之離子將前述雜質固體濺散,使包含在該雜質固體的雜質混入根據前述惰性或反應性氣體而成的電漿中之工程,和在前述固體試樣施加該固體試樣會對電漿成為陰極的電壓,把混入前述電漿中之前述雜質導入前述固體試樣的表面部之工程。

2.一種雜質之導入方法,其特徵為,具有:

在真空槽內,保持包含雜質的雜質固體與將導入前述雜質的固體試樣之工程,

5.

和在前述真空槽的內部導入惰性或反應性之氣體使根據該惰性或反應性氣體而成之電漿發生的工程,

和在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓,根據前述電漿中之離子濺散前述雜質固體,使包含在該雜質固體的雜質混入前述惰性或反應性氣體之氣體而成的電漿中之工程,

10.

和在前述固體試樣施加該固體試樣會對電漿成為陽極的電壓,使前述混入電漿中之前述雜質導入前述固體試樣的工程。

3.一種雜質之導入方法,其特徵為,具有:

15.

在真空槽內,保持包含雜質的雜質固體和將導入前述雜質之固體試樣的工程,和在前述真空槽之內部導入惰性或反應性的氣體使根據該惰性或反應性之氣體而成的電漿發生之工程,

20.

和在前述雜質固體施加該雜質固體會對

電漿成為陽極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入根據前述惰性或反應性氣體而成之電漿中的工程，

和在前述固體試樣施加該固體試樣會對電漿成為陽極的電壓，將前述混入電漿中之前述雜質導入前述固體試樣的工程。

4. 一種雜質之導入方法，其特徵為，具有；
在真空槽內，設置雜質將附著的雜質附著裝置同時保持將導入前述雜質的固體試樣之工程，
和把在前述真空槽內的設有前述雜質附著裝置之第1領域與保持有前述固體試樣的第2領域遮斷後，在前述第1領域導入包含前述雜質之氣體而在前述雜質附著裝置堆積根據前述雜質而成的雜質膜之工程，
和使前述第1領域與前述第2領域連通後，在前述真空槽的內部導入惰性或反應性的氣體使之發生根據該惰性或反應性的氣體而成之電漿的工程，
和在前述雜質膜施加該雜質膜會對電漿成為陰極的電壓，根據前述電漿中之離子濺散前述雜質膜，使該包含在雜質膜的雜質混入由前述惰性或反應性氣體而成之電漿中的工程，
和在前述固體試樣施加該固體試樣會對電漿成為陰極的電壓，將混入前述電漿中之前述雜質導入前述固體試樣的表面部之工程。
5. 如申請專利範圍第1、2或4項所述的雜質之導入方法，其中，對電漿會成為陰極的前述電壓為負之電壓。
6. 如申請專利範圍第2或3項所述的雜質之導入方法，其中，對電漿會成為陽極的前述電壓為0V以下之電壓。
7. 如申請專利範圍第1、2、3或4項中的任何1項所述之雜質導入方法，其中，

前述固體試樣為根據矽而成的半導體基板，前述雜質為砷，磷，硼，鋁或銻，而前述惰性或反應性之氣體為包含氮或氫的氣體者。

8. 一種雜質之導入裝置，其特徵為，具有；
內部將保持為真空的真空槽，
和設在前述真空槽內，保持包含雜質之雜質固體的固體保持裝置，
和設在前述真空槽內，保持將導入前述雜質的固體試樣之試樣保持裝置，
和使電漿發生在前述真空槽內的電漿發生裝置，
和在前述真空槽內導入惰性或反應性之氣體的氣體導入裝置，
和在前述試樣保持裝置施加前述雜質固體會對電漿成為陰極的電壓之第1電壓施加裝置，
和在前述試樣保持裝置施加前述固體試樣會對電漿成為陰極的電壓之第2電壓施加裝置。
9. 一種雜質之導入裝置，其特徵為，具有；
內部將保持為真空的真空槽，
和設在前述真空槽內，將包含雜質之雜質固體保持的固體保持裝置，
和設在前述真空槽內，保持包含雜質的雜質固體之固體保持裝置，
和設在前述真空槽內，保持將導入前述雜質的固體試樣之試樣保持裝置，
和使電漿發生在前述真空槽內的電漿發生裝置，
和在前述真空槽內導入惰性或反應性氣體之氣體導入裝置，
和在前述固體保持裝置施加前述雜質固體會對電漿成為陰極的電壓之第1電壓施加裝置，
和在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極的電壓之第2電壓施加裝置。

10. 一種雜質之導入裝置，其特徵為，具有：
 - 內部將保持為真空的真空槽，
 - 和設在前述真空槽內，將包含雜質之雜質固體保持的固體保持裝置，
 - 和設在前述真空槽內，保持包含雜質的雜質固體之固體保持裝置，
 - 和設在前述真空槽內，保持將導入前述雜質的固體試樣之試樣保持裝置，
 - 和使電漿發生在前述真空槽內的電漿發生裝置，
 - 和在前述真空槽內導入惰性或反應性氣體之氣體導入裝置，
 - 和在前述固體保持裝置施加前述雜質固體會對電漿成為陰極的電壓之第1電壓施加裝置，
 - 和在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極的電壓之第2電壓施加裝置。
11. 如申請專利範圍第8或9項所述的雜質之導入裝置，其中，前述第1電壓施加裝置，更具有在前述試樣保持裝置施加前述雜質固體會對電漿成為陰極的電壓之裝置，和切換施加前述雜質固體會對電漿成為陰極的第1狀態與施加對電漿成為陽極之電壓的第2狀態之裝置。
12. 如申請專利範圍第8項所述的雜質之導入裝置，其中，前述第2電壓施加裝置，更具有在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極的電壓之裝置，和切換施加前述固體試樣會對電漿成為陰極的電壓之第1狀態與施加對電漿成為陽極之電壓之第2狀態的裝置。
13. 一種雜質之導入裝置，其特徵為，具有：
 - 內部將保持為真空的真空槽，
 - 和設在前述真空槽內，將附著雜質之雜質附著裝置，
 - 和設在前述真空槽內，把導入前述雜質

5. 的固體試樣保持之試樣保持裝置，和使前述設有雜質附著裝置的第1領域與前述設有試樣保持裝置之第2領域連通或遮斷的快門裝置，
10. 和在前述真空槽內之前述第1領域導入包含前述雜質的氣體之第1氣體導入裝置，
15. 和使電漿在前述真空槽內發生的電漿發生裝置，
20. 和在前述真空槽內導入惰性或反應性氣體之第2氣體導入裝置，
25. 和在前述雜質附著裝置施加附著在該雜質附著裝置的雜質會對電漿成為陰極之電壓的第1電壓施加裝置，
30. 和在前述試樣保持裝置施加前述固體試樣會對電漿成為陰極之電壓的第2電壓施加裝置。
35. 14. 一種雜質之導入裝置，其特徵為，具有：
 - 內部將保持為真空的真空槽，
 - 和設在前述真空槽內，將附著雜質之雜質附著裝置，
 - 和設在前述真空槽內，把導入前述雜質的固體試樣保持之試樣保持裝置，
 - 和使前述設有雜質附著裝置的第1領域與前述設有試樣保持裝置之第2領域連通或遮斷的快門裝置，
 - 和在前述真空槽內之前述第1領域導入包含有前述雜質的氣體之第1氣體導入裝置，
 - 和使電漿在前述真空槽內發生的電漿發生裝置，
 - 和在前述真空槽內導入惰性或反應性氣體之第2氣體導入裝置，
 - 和在前述雜質附著裝置施加附著在該雜質附著裝置的雜質會對電漿成為陰極之電壓的第1電壓施加裝置，
 - 和在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極之電壓的第2電壓施加裝置。
40. 和在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極之電壓的第2電壓施加裝置。

15. 一種雜質之導入裝置，其特徵為，具有：
 內部將保持為真空的真空槽，
 和設在前述真空槽內，將附著雜質之雜質附著裝置，
 和設在前述真空槽內，把導入前述雜質的固體試樣保持之試樣保持裝置，
 和使前述設有雜質附著裝置的第1領域與前述設有試樣保持裝置之第2領域連通或遮斷的快門裝置，
 和在前述真空槽內之前述第1領域導入包含有前述雜質的氣體之第1氣體導入裝置，
 和使電漿在前述真空槽內發生的電漿發生裝置，
 和在前述真空槽內導入惰性或反應性氣體之第2氣體導入裝置，
 和在前述雜質附著裝置施加附著在該雜質附著裝置的雜質會對電漿成為陽極之電壓的第1電壓施加裝置，
 和在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極之電壓的第2電壓施加裝置。
16. 如申請專利範圍第13或14項所述的雜質之導入裝置，其中，前述第1電壓施加裝置，更具有在前述雜質附著裝置施加附著該雜質附著裝置的雜質會對電漿成為陽極之電壓的裝置，和切換附著在前述雜質附著裝置之雜質會對電漿成為陰極的第1狀態與對電漿成為陽極之第2狀態的切換裝置。
17. 如申請專利範圍第13項所述的雜質之導入裝置，其中，前述第2電壓施加裝置，更具有在前述試樣保持裝置施加前述固體試樣會對電漿成為陽極的電壓之裝置，和切換前述固體試樣會對電漿成為陰極之第1狀態與對電漿成為陽極的第2狀態之切換裝置。
18. 如申請專利範圍第8，9，13或14項所述的雜質之導入裝置，其中，對電漿

- 會成為陰極的前述電壓為負之電壓，
 19. 如申請專利範圍第9，10，14或15項所述的雜質之導入裝置，其中，對電漿會成為陽極的前述電壓為0V以下之電壓。
5. 20. 一種在半導體裝置之製造方法，其特徵為，具有：
 把在半導體基板上的二極體形成領域根據元件分離層電性地分離之工程，
 10. 和將前述形成有元件分離層的半導體基板，和包含有將導入至二極體形成領域之雜質的雜質固體保持在真空槽內之工程，
 和在前述真空槽的內部導入惰性或反應性之氣體使根據該惰性或反應性氣體而成的電漿發生之工程，
 15. 和在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入前述根據惰性或反應性氣體而成的電漿中之工程，
 20. 和根據在前述真空槽內保持的半導體基板施加該半導體基板會對電漿成為陰極之電壓，將前述混入電漿中的前述雜質導入在前述半導體基板之二極體形成領域的表面部形成雜質層之工程，
 25. 和在前述形成有雜質層的半導體基板上形成與前述雜質層電性連接的配線層之工程。
30. 21. 一種在半導體裝置之製造方法，其特徵為，具有：
 把在半導體基板上的二極體形成領域根據元件分離層電性地分離之工程，
 和將前述形成有元件分離層的半導體基板，和包含有將導入至二極體形成領域之雜質的雜質固體保持在真空槽內之工程，
 35. 和在前述真空槽的內部導入惰性或反應性之氣體使根據該惰性或反應性氣體而成的電漿發生之工程，
 40.

和在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入前述根據惰性或反應性氣體而成的電漿中之工程，

和根據在前述真空槽內保持的半導體基板施加該半導體基板會對電漿成為陽極之電壓，將前述混入電漿中的前述雜質導入在前述半導體基板之二極體形成領域的表面部形成雜質層之工程，

和在前述形成有雜質層的半導體基板上形成與前述雜質層電性連接的配線層之工程。

22.一種半導體裝置之製造方法，其特徵為，具有：

把在半導體基板上的二極體形成領域根據元件分離層電性地分離之工程，

和將前述形成有元件分離層的半導體基板，和包含有將導入至二極體形成領域之雜質的雜質固體保持在真空槽內之工程，

和在前述真空槽的內部導入惰性或反應性之氣體使根據該惰性或反應性氣體而成的電漿發生之工程，

和在前述雜質固體施加該雜質固體會對電漿成為陽極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入前述根據惰性或反應性氣體而成的電漿中之工程，

和根據在前述真空槽內保持的半導體基板施加該半導體基板會對電漿成為陽極之電壓，將前述混入電漿中的前述雜質導入在前述半導體基板之二極體形成領域的表面部形成雜質層之工程，

和在前述形成有雜質層的半導體基板上形成與前述雜質層電性連接的配線層之工程。

23.一種在半導體裝置之製造方法，其特徵為，具有：

把在半導體基板上的二極體形成領域根

據元件分離層電性地分離之工程，

和在形成有前述元件分離層的半導體基板上之電晶體形成領域隔著絕緣層形成電極之工程，

5. 和將前述形成有電極的半導體基板，與包含有將導入電晶體形成領域之雜質的雜質固體保持在真空槽內之工程，

10. 和在前述真空槽內部導入惰性或反應性氣體使根據該惰性或反應性氣體而成的電漿發生之工程，

和在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入根據前述惰性或反應性氣體而成的電漿中之工程，

15. 和根據在前述真空槽內保持的半導體基板施加該半導體基板會對電漿成為陰極之電壓，使前述混入電漿中的前述雜質導入前述半導體基板之電晶體形成領域的表面部而形成雜質層之工程，

20. 和形成將與前述形成有雜質層的半導體基板之前述電極電性連接的配線層之形成工程。

24.一種半導體裝置之製造方法，其特徵為，具有：

25. 將半導體基板上的電晶體形成領域根據元件分離層電性地分離之工程；

30. 和在形成有前述元件分離層的半導體基板上之電晶體形成領域隔著絕緣層形成電極之工程，

和將前述形成有電極的半導體基板，與包含有將導入電晶體形成領域之雜質的雜質固體保持在真空槽內之工程，

35. 和在前述真空槽內部導入惰性或反應性氣體使根據該惰性或反應性氣體而成的電漿發生之工程，

和在前述雜質固體施加該雜質固體會對電漿成為陰極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該

40. 雜質固體的雜質混入根據前述惰性或反

應性氣體而成的電漿中之工程，
和根據在前述真空槽內保持的半導體基板施加該半導體基板會對電漿成為陽極之電壓，使前述混入電漿中的前述雜質導入前述半導體基板之電晶體形成領域的表面部而形成雜質層之工程，
和形成將與前述形成有雜質層的半導體基板之前述電極電性連接的配線層之形成工程。

25. 一種半導體裝置之製造方法，其特徵為，具有：
將半導體基板上的電晶體形成領域根據元件分離層電性地分離之工程；
和在形成有前述元件分離層的半導體基板上之電晶體形成領域隔著絕緣層形成電極之工程，
和將前述形成有電極的半導體基板，與包含有將導入電晶體形成領域之雜質的雜質固體保持在真空槽內之工程，
和在前述真空槽內部導入惰性或反應性氣體使根據該惰性或反應性氣體而成的電漿發生之工程，
和在前述雜質固體施加該雜質固體會對電漿成為陽極的電壓，根據前述電漿中之離子濺散前述雜質固體，使包含在該雜質固體的雜質混入根據前述惰性或反應性氣體而成的電漿中之工程。
26. 如申請專利範圍第 20，21，23 或 24 項所述的半導體裝置之製造方法，其中，對電漿會成為陰極的前述電壓為負之電壓。
27. 如申請專利範圍第 21，22，24 或 25 項所述的半導體裝置之製造方法，其

中，對電漿會成為陽極的前述電壓為 0V 以下之電壓。

28. 如申請專利範圍第 20、21、22、23、24 或 25 項中的任何 1 項所述的半導體裝置之製造方法，其中，前述半導體基板係根據矽而成，前述雜質為砷，磷，硼，鋁或銻，而前述惰性或反應性氣體為包含氮或氫之氣體。

圖式簡單說明：

10. 第一圖為有關本發明的第 1 實施例之雜質導入裝置的概略圖。

第二圖係將在根據有關本發明的第 1 雜質導入方法形成之固體試樣的深度和硼濃度之關係根據 SIMS 測定的結果顯示之圖。

15. 第三圖係有關本發明的第 2 實施例之雜質導入裝置的概略圖。

第四圖係顯示使用有關本發明的雜質導入方法進行之具有二極體的半導體裝置之製造方法的各工程之斷面圖。

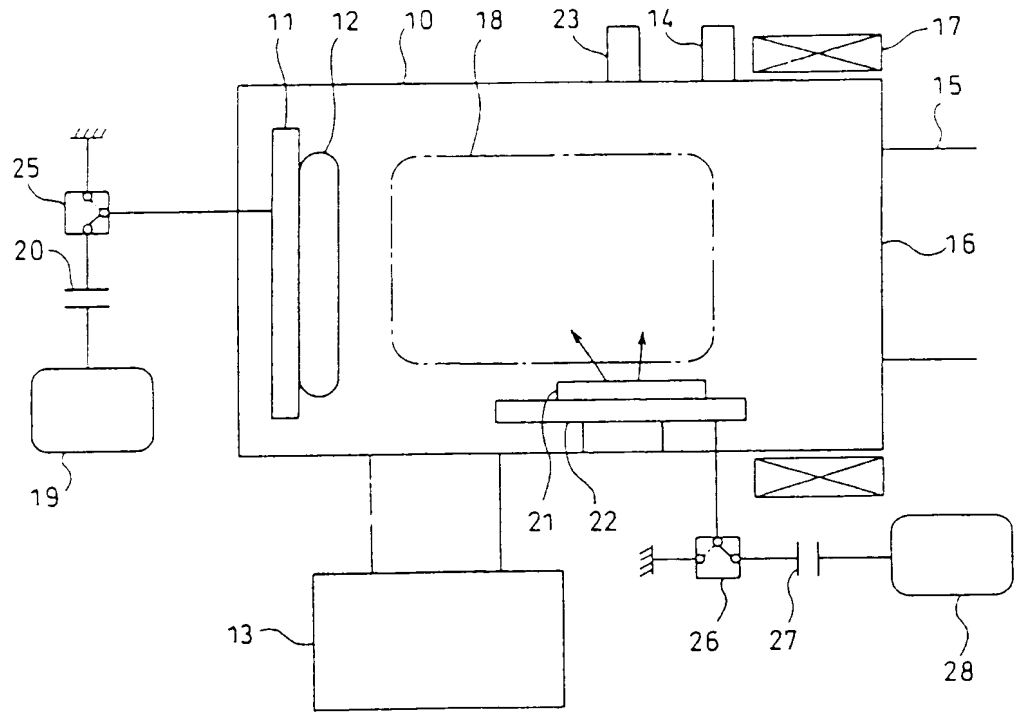
20. 第五圖係顯示使用有關本發明的雜質導入方法進行之具有二極體的半導體裝置之製造方法的各工程之斷面圖。

第六圖係顯示使用有關本發明的雜質導入方法進行之具有 CMOS 的半導體裝置之製造方法的各工程之斷面圖。

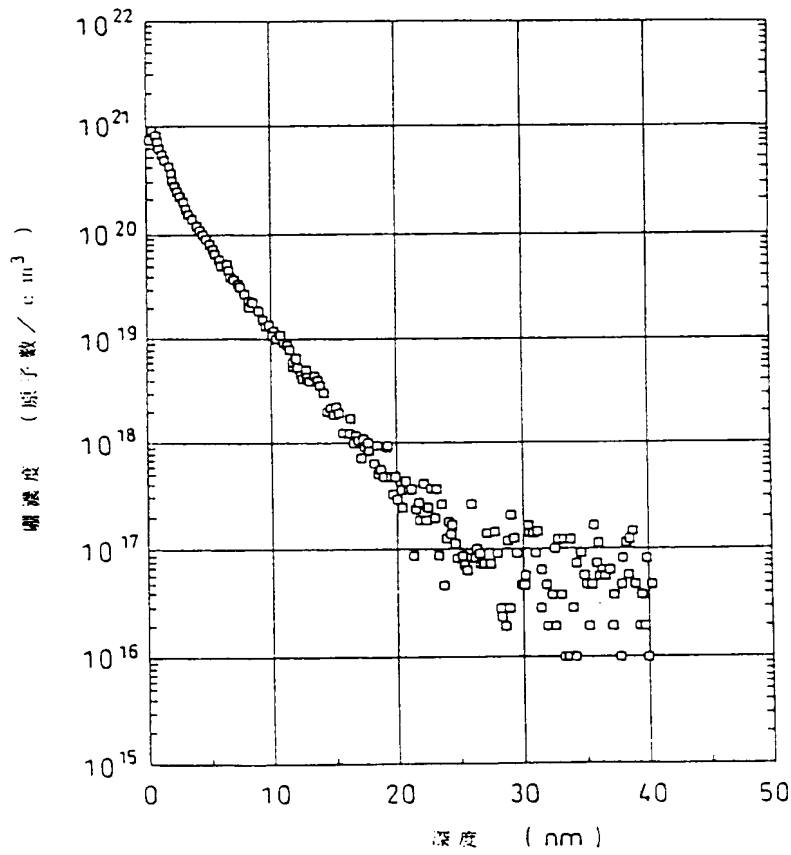
25. 第七圖係顯示使用有關本發明的雜質導入方法進行之具有 CMOS 的半導體裝置之製造方法的各工程之斷面圖。

第八圖為習知的雜質導入裝置之概略圖。

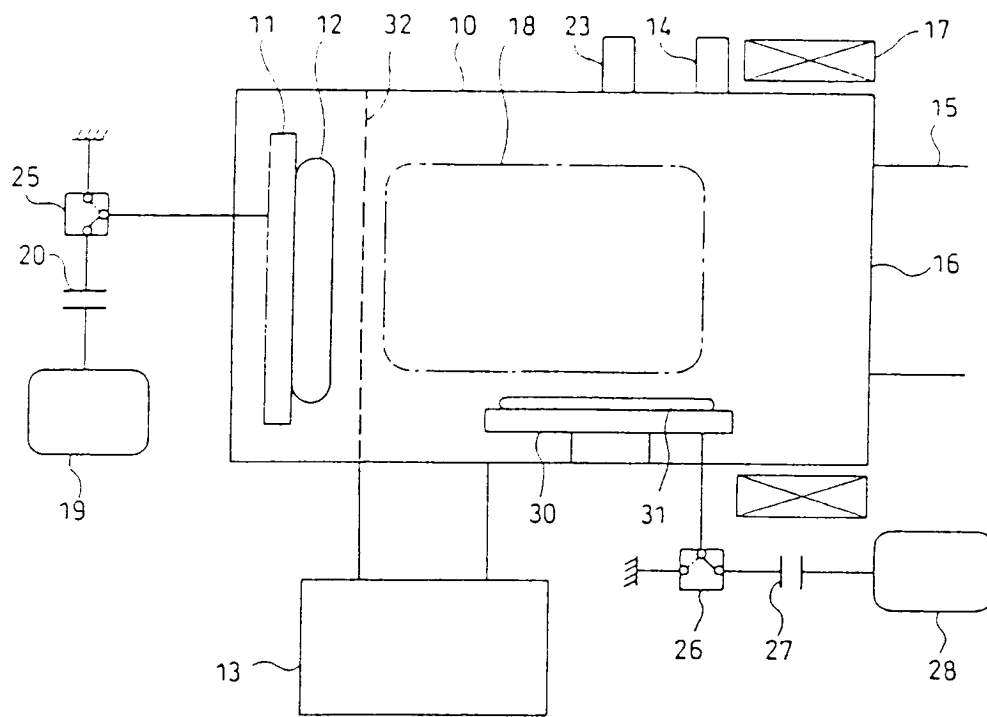
30. 第九圖係成為本發明的前提之雜質導入裝置的概略圖。



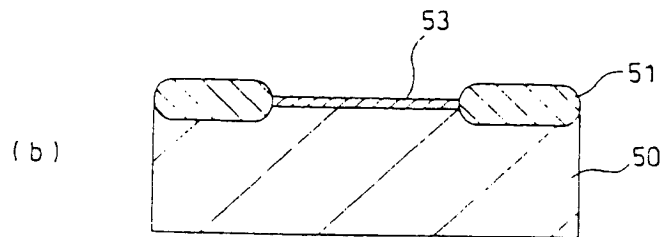
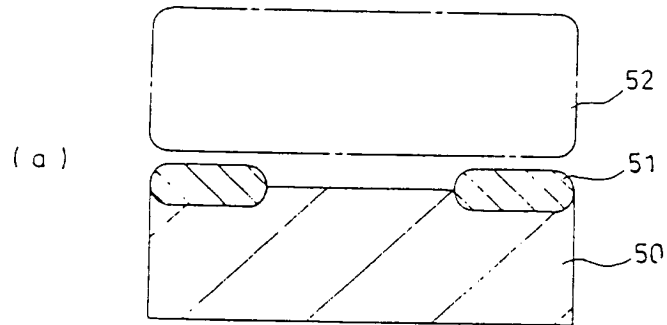
第一圖



第二圖



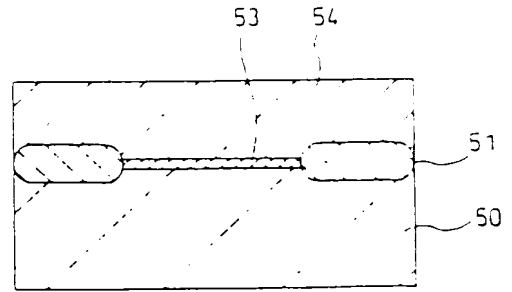
第三圖



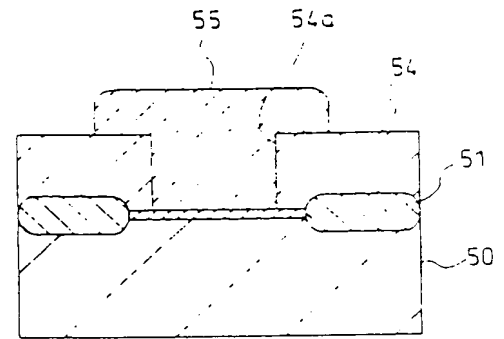
第四圖

(9)

(a)

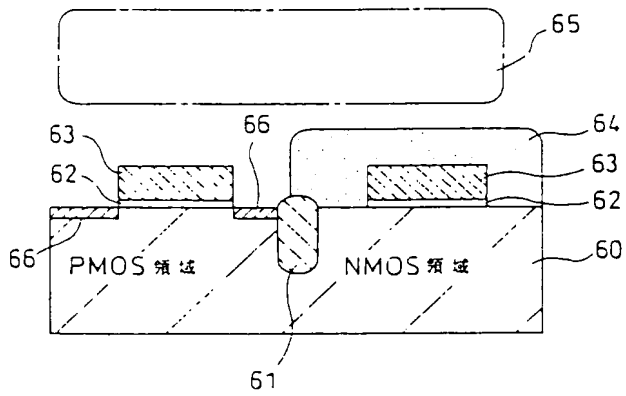


(b)

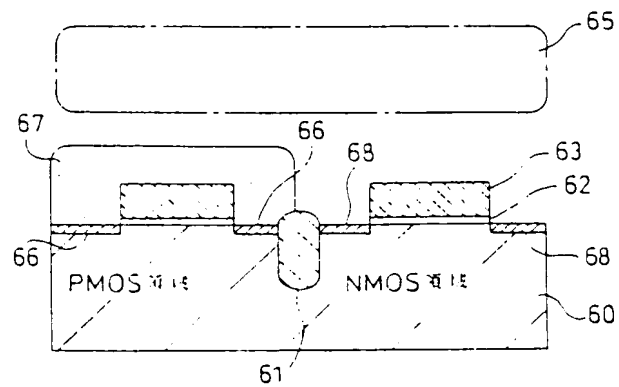


第五圖

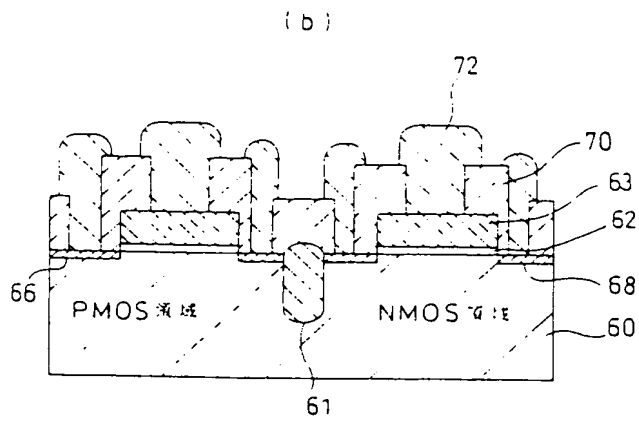
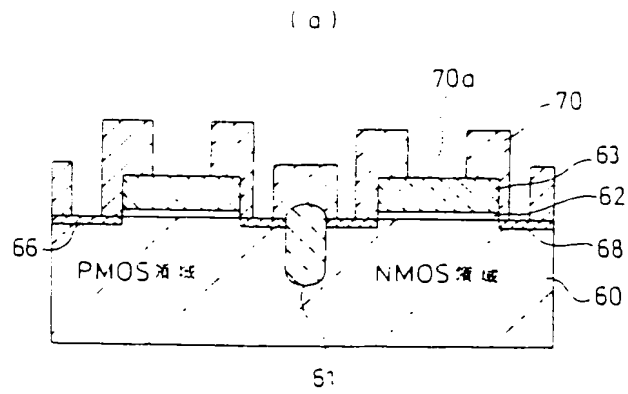
(a)



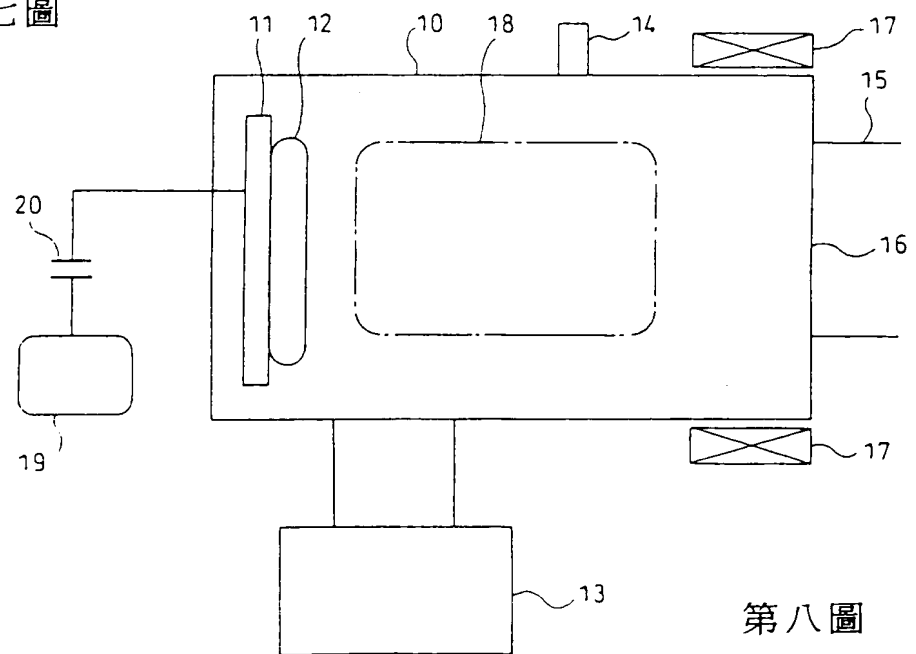
(b)



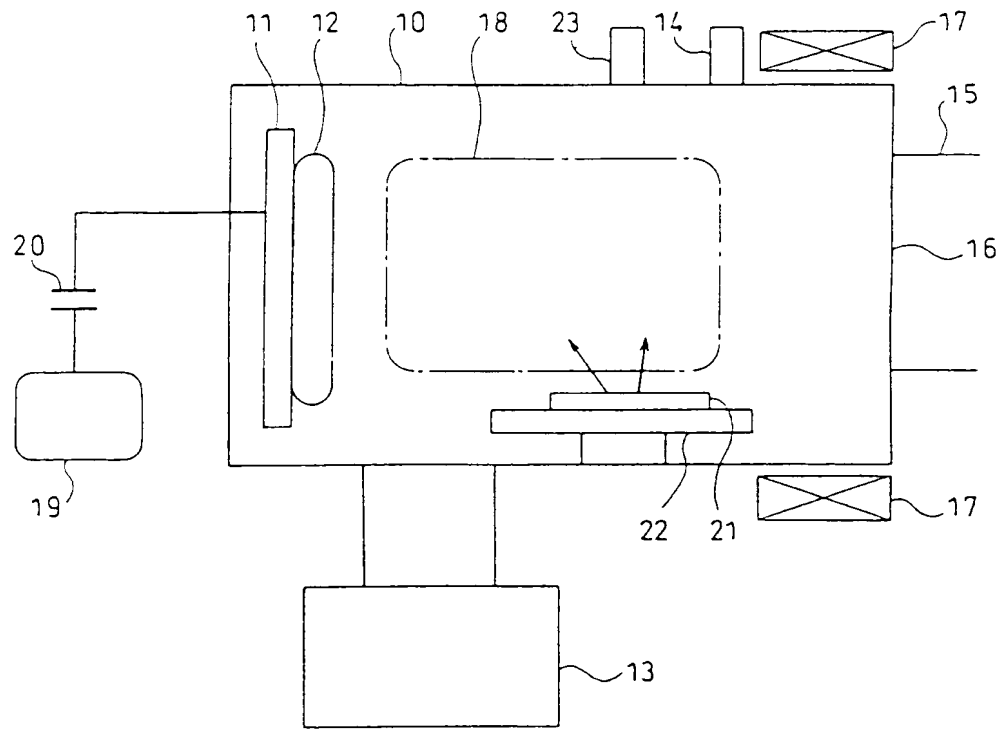
第六圖



第七圖



第八圖



第九圖